วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลสวิตช์ - คาปาซิเตอร์ เดลต้ามอดูเลชั่นแบบง่าย

ธงชัย มณีชูเกตุ

A Simple Analog-to-Digital Switched - Capacitor Delta Modulation Circuit

Thongchai Maneechukate

ภาควิชาฟิสิกส์ คณะวิทยาศาสตร์ มหาวิทยาลัยนเรศวร จังหวัดพิษณุโลก 65000

บทคัดย่อ

บทความนี้ได้นำเสนอวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล(A\D) ด้วยหลักการเดลต้ามอดูเลชั่น(Delta Modulation) ที่สร้างขึ้นจากวงจรสวิตช์ - คาปาซิเตอร์ที่สมบูรณ์ โดยสัญญาณนาฬิกาที่ใช้ในการควบคุมหลักเป็นแบบ 2 เฟส และวงจรสร้างสัญญาณควบคุมรองใช้เพียงแอนด์เกท (And gate) 2 ตัวและอินเวอร์เตอร์(Inverter) 1 ตัวนอกจากนี้แล้ววงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก(D\A)และอินทิเกรเตอร์จะถูกรวมไว้ในวงจรเดียวกัน โดยมีสัญญาณอินพุตเป็นสัญญาณไฟตรง (DC)อ้างอิงทั้งบวกและลบจึงทำให้วงจร A/D ที่ได้มีขนาดเล็ก โดยผลการเลียนแบบด้วยโปรแกรมพีสไปส์(Pspice)แสดงให้เห็นว่าวงจรสามารถทำงานได้ดีในย่านความถี่เสียง และโครงสร้างวงจรยังเหมาะที่จะนำไปสร้างเป็นวงจรรวมด้วยกระบวนการ CMOS ได้

Abstract

In this paper, a simple and compact switch-capacitor (SC) delta modulation is proposed. Main control clocks are two phase and sub control clock is generated by two AND gate and one inverter. In addition D/A and integrator is integrated on one circuit that it's input are composed of positive and negative dc voltage reference. Simulation results with Pspice confirm that this network works agree well with principle and proposed circuit convenient to realize in IC form.

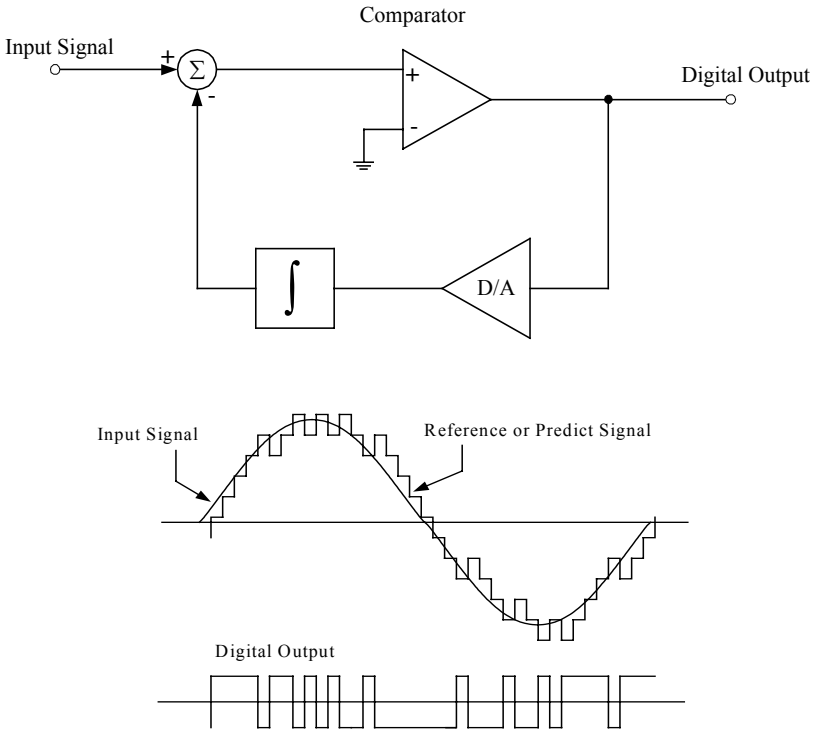
บทนำ

ด้วยเทคโนโลยีของ CMOS ทั้งวงจรอนาลอกและดิจิตอลสามารถสร้างรวมไปในชิฟตัวเดียวกันได้ ด้วยสมรรถนะที่สูงแต่กินเนื้อที่บนชิฟน้อย ตัวแปลงสัญญาณอนาลอกเป็นดิจิตอลจึงเป็นที่ต้องการกันมาก ประกอบกับราคาที่ต่ำทำให้ตัวแปลงเหล่านี้จะต้องเข้ากันได้กับกระบวนการสร้างวงจรดิจิตอลในปัจจุบัน อย่างไรก็ตาม สมรรถนะของการทำงานในรูปแบบอนาลอกก็ไม่ควรจะสูญเสีย

ไปในระหว่างกระบวนการสร้าง โดยทั่วๆ ไปแล้วตัวแปลงสัญญาณ อนาลอกเป็นดิจิตอล(A/D) ที่ใช้เทคโนโลยีของ MOS จะถูกสร้างด้วยเทคนิคของสวิตช์ – คาปาซิเตอร์ (SC) เป็นส่วนใหญ่ โดยที่มีวิธีการในการแปลงสัญญาณอนาลอกเป็นดิจิตอลหลายวิธี (H. Schmidt 1970; C. W. Barbour 1971; J. McCreary 1975; James L. McCreary and Paul R. Gray 1975; Anthony Agnello 1990; Anne Watson Swager 1991; B. Leung 1991; Brain P. Brandt 1991; Max W. Hauser 1991; Frank Goodenough 1991; Michael de Wit et al. 1993) อาทิ Successive Approximation (J. McCreary 1975), Pipeline Successive Approximation, Charge Redistribution (C. W. Barbour 1971; James L. McCreary and Paul R. Gray 1975), Delta Modulation และ Delta Sigma Modulation (Anthony Agnello 1990; Anne Watson Swager 1991; Brain P. Brandt 1991; Frank Goodenough 1991; Max W. Hauser 1991) เป็นต้น โดยที่โครงสร้างของ A/D เหล่านี้ ประกอบไปด้วยการทำงานของสวิตช์ตัวเก็บประจุ ออปแอมป์ ตัวเปรียบเทียบและตัวอินทิเกรต ซึ่งล้วนแล้วแต่สร้างขึ้นด้วยกระบวนการของ CMOS ได้อย่างสมบูรณ์ โดยตัวอย่างของ A/D ที่กำลังเป็นที่นิยมกันอย่างมากในปัจจุบันก็คือ เดลต้าซิกมามอดูเลชั่น (Delta Sigma Modulation) เพราะให้ความละเอียดแม่นยำสูงในการแปลง และมีความสามารถในการกำจัดสัญญาณรบกวนได้เป็นอย่างดี แต่อย่างไรก็ตามอุปสรรคที่สำคัญประการหนึ่งของการออกแบบ A/D เหล่านี้ก็คือความซับซ้อนของสัญญาณนาฬิกาที่ใช้ในการควบคุมการทำงานของสวิตช์ ทำให้เราต้องสูญเสียพื้นที่ส่วนใหญ่ของชิฟ A/D ไปกับวงจรจัดการสัญญาณควบคุม อย่างไรก็ตามแม้ว่า A/D ประเภทนี้จะมีราคาที่ไม่สูงมากนักแต่ก็หาซื้อได้ยาก ดังนั้นในบทความนี้จึงได้เสนอวงจรเดลต้ามอดูเลชั่น(DM) ที่มีรูปแบบการทำงานด้วยสวิตช์ - คาปาซิเตอร์ และใช้สัญญาณควบคุมเพียงแค่สัญญาณนาฬิกาสองเฟสกับวงจรสร้างสัญญาณควบคุมเงื่อนไขด้วยแอนด์เกทสองตัวและอินเวอร์เตอร์อีกหนึ่งตัว โดยวงจรสามารถทำงานได้ดีในย่านความถี่เสียง และสามารถพัฒนาไปเป็น A/D แบบเดลต้าซิกมามอดูเลชั่นได้ นอกจากนี้โครงสร้างของวงจรยังสามารถนำไปสร้างเป็น วงจรรวม (IC) ได้อย่างเหมาะสม สำหรับการเรียบเรียงเนื้อหาในบทความนี้แบ่งออกเป็น 5 ส่วนด้วยกันคือ ส่วนที่ 1 คือบทนำ ส่วนที่ 2 ที่จะกล่าวต่อไปคือหลักการทำงานของ DM โดยทั่วๆ ไป และ DM ที่สร้างด้วยเทคนิคของ SC ส่วนที่ 3 เป็นการเลียนแบบการทำงานของวงจร SC DM ด้วย Pspices ส่วนที่ 4 เป็นการสรุปและวิเคราะห์ผลการเลียนแบบ

หลักการและวงจร

ก่อนที่จะไปทำความเข้าใจกับการทำงานของวงจร DM ที่สร้างจาก SC จะกล่าวถึงการทำงานของ DM โดยทั่วๆ ไปเป็นลำดับแรกด้วยแผนภูมิในรูปที่ 1

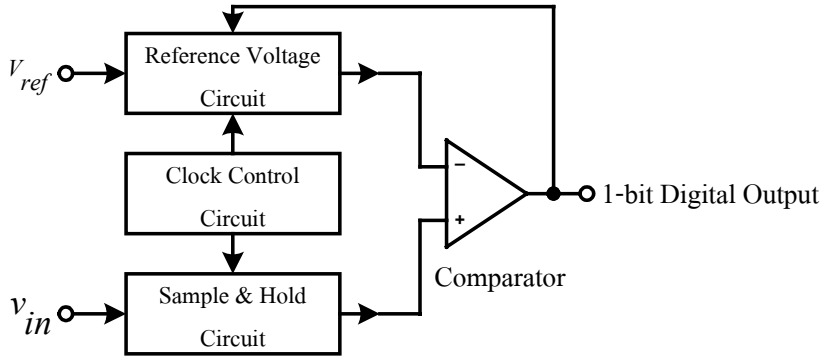


รูปที่ 1 แสดงแผนภูมิหลักการ DM โดยทั่วไป

จากรูปที่ 1 หลักการของ DM จะอาศัยเทคนิคการติดตาม (tracking) สัญญาณอินพุตอย่างใกล้ชิดด้วยสัญญาณการประมาณค่าที่มีขนาด (step size) ของสัญญาณอ้างอิงน้อยๆ นั่นคือสัญญาณอินพุตจะถูกประมาณค่าด้วยชุดสัญญาณอ้างอิงที่ใช้ในการทำนายค่า(prediction)สัญญาณอินพุต โดยที่แต่ละสเต็ปของสัญญาณอ้างอิงที่ใช้ในการทำนายจะนำมาเปรียบเทียบกับสัญญาณอินพุตเพื่อตัดสินใจว่าจะเพิ่มค่าหรือลดค่าสัญญาณอ้างอิงในสเต็ปต่อไป โดยเงื่อนไขของการทำนายค่ามีดังนี้ ถ้าสัญญาณอินพุตมากกว่าสัญญาณที่ใช้ในการทำนายให้เพิ่มค่าสัญญาณอ้างอิงไปครั้งละ 1 ค่า แต่ถ้าสัญญาณอินพุตน้อยกว่าสัญญาณการประมาณค่าที่ใช้ในการทำนายให้ลดค่าสัญญาณอ้างอิงไปครั้งละ 1 ค่าเพื่อใช้ในการทำนายครั้งต่อไป

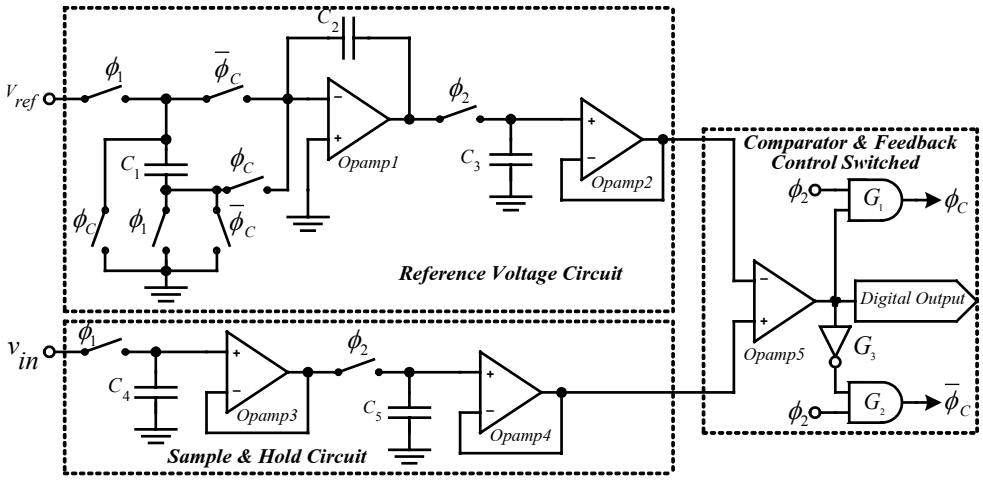
สำหรับหลักการแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเดลตามอดูเลชั่นในบทความนี้จะใช้วิธีการเปรียบเทียบค่าสัญญาณอินพุตกับสัญญาณอ้างอิงลำดับแรกที่เป็นค่าคงที่ค่าหนึ่ง ถ้าค่าสัญญาณอินพุตมากกว่าสัญญาณอ้างอิงลำดับแรกจะให้บิตออกมาเป็น “1” แล้วทำการเพิ่มค่าสัญญาณอ้างอิงไปอีก 1 เท่าของสัญญาณอ้างอิงลำดับแรก นำเอาสัญญาณอ้างอิงที่ได้ไปเปรียบเทียบกับสัญญาณอินพุตต่อไป แต่ถ้าสัญญาณอ้างอิงลำดับแรกมากกว่าสัญญาณอินพุตจะกำหนดค่าบิตที่ได้เป็น

"0" หลังจากนั้นให้ลดค่าสัญญาณอ้างอิงลง 1 เท่าจากสัญญาณอ้างอิงลำดับแรก หลังจากนั้นนำเอาสัญญาณอ้างอิงที่ได้ไปเปรียบเทียบกับสัญญาณอินพุตต่อไป โดยที่การตัดสินค่าบิตต่อๆไปกระบวนการก็จะดำเนินการไปเช่นเดียวกับบิตแรก นั่นก็หมายความว่าถ้าบิตเอาต์พุตที่ได้เป็น "1" จะเพิ่มค่าสัญญาณอ้างอิงไปทีละ 1 สเต็ป ในทางกลับกันถ้าเป็น "0" ก็จะลดสัญญาณลงทีละ 1 สเต็ปเช่นเดียวกัน จากหลักการที่ได้เราสามารถเขียนแผนภูมิความสัมพันธ์การทำงานของวงจรได้ดังรูปที่ 2

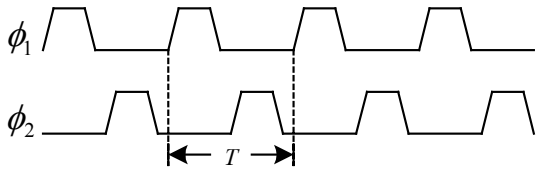


รูปที่ 2 แสดงบล็อกไดอะแกรมของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลจากหลักการเดลตามอดูเลชั่นด้วยสวิตช์-คาปาซิเตอร์

การทำงานของวงจรเริ่มจากวงจรสัญญาณนาฬิกาควบคุมส่งสัญญาณควบคุมให้กับวงจรสุ่มตัวอย่างและคงค่า เพื่อทำการสุ่มตัวอย่างและคงค่าสัญญาณอนาลอกอินพุต v_{in} ในขณะเดียวกันก็จะส่งสัญญาณนาฬิกาควบคุมให้กับวงจรสร้างระดับสัญญาณอ้างอิงด้วยเช่นกัน เอาต์พุตที่ได้จากการสุ่มตัวอย่างและคงค่าสัญญาณอินพุตและวงจรสร้างระดับสัญญาณอ้างอิงจะนำไปเปรียบเทียบกันที่ออปแอมป์คอมพาราเตอร์ ซึ่งจะได้สัญญาณดิจิตอลเอาต์พุตออกมา 1 บิตต่อการแปลงสัญญาณ 1 ตัวอย่างสัญญาณ และบิตที่ได้จะเป็นสัญญาณป้อนกลับไปควบคุมวงจร สร้างระดับสัญญาณอ้างอิงให้เพิ่มค่าหรือลดค่าระดับสัญญาณอ้างอิงตัวต่อไป แล้วจึงเริ่มทำการปฏิบัติการใหม่ตั้งแต่ต้นกับสัญญาณตัวอย่างตัวต่อไป จากบล็อกไดอะแกรมของรูปที่ 2 เรานำมาสร้างเป็นวงจรได้ดังรูปที่ 3



รูปที่ 3 แสดงวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลจากหลักการเดลตามอดูเลชั่นที่สร้างด้วยสวิตช์คาปาซิเตอร์



รูปที่ 4 แสดงแผนภูมิสัญญาณนาฬิกาควบคุม

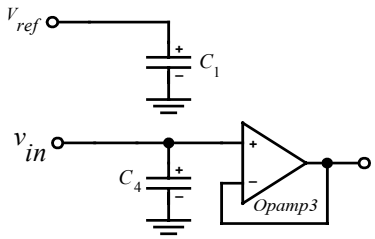
การทำงานของวงจร

การทำงานในช่วงของคาบเวลาแรก

ช่วงครึ่งคาบแรก ϕ_1 ทำงาน แรงดันอ้างอิง V_{ref} และสัญญาณอนาลอกอินพุต v_{in} จะถูกสุ่มตัวอย่างเข้า มาเก็บไว้ที่ C_1 และ C_4 ตามลำดับ กล่าวคือที่ C_1 และ C_4 จะมีแรงดันตกคร่อมเท่ากับ V_{ref} และ v_{in} ดังนี้

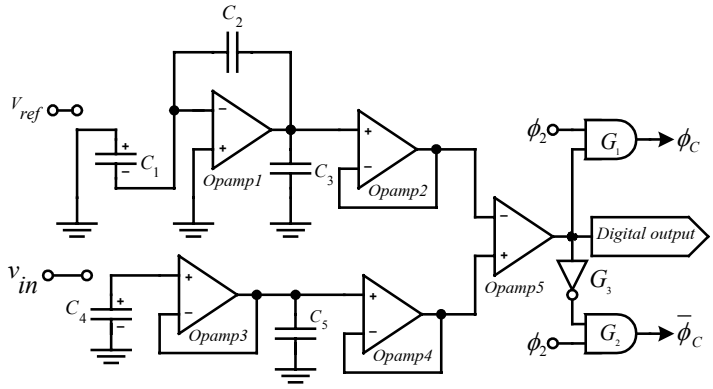
$$q_{c_1} = C_1 V_{ref} \qquad (1)$$

$$q_{c_4} = C_4 v_{in} \qquad (2)$$



รูปที่ 5 แสดงวงจรขณะที่ ϕ_1 ทำงาน

ช่วงครึ่งคาบหลัง ϕ_2 ทำงาน เพื่อความสะดวกในการพิจารณาการทำงานของวงจรในจังหวะนี้เราจะสมมติให้ ϕ_c ทำงาน ซึ่งทำงานในจังหวะที่ตรงกันกับ ϕ_2 ดังนั้น วงจรสมมูลของส่วนวงจรสร้างระดับสัญญาณอ้างอิงและวงจรสุ่มตัวอย่างและคงค่าแสดงได้ดังรูปที่ 6



รูปที่ 6 แสดงวงจรสมมูลขณะที่ ϕ_2 และ ϕ_c ทำงานพร้อมกัน

จังหวะที่ ϕ_2, ϕ_c ทำงาน ส่วนของวงจรสร้างระดับแรงดันอ้างอิง ที่ C_1 จะสลับกราวด์ที่ขั้วของตัวเก็บประจุ ประจุไฟฟ้าจาก C_1 จะไหลเข้าไปใน C_2 โดยที่ออปแอมป์1 ทำหน้าที่เป็นตัวปั๊มประจุ(charge pump) ทำให้เอาต์พุตของออปแอมป์1 มีแรงดันเท่ากับ V_{ref} และมีแรงดันตกคร่อม C_3 เท่ากับ V_{ref} ด้วย โดยที่

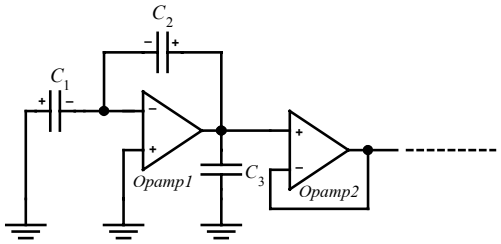
$$q_{c_2} = C_2 V_{ref} \qquad (3)$$

พิจารณาที่ออปแอมป์2 จะเห็นได้ว่าทำหน้าที่เป็นบัฟเฟอร์ (Buffer) ดังนั้นที่เอาต์พุตของออปแอมป์2 จึงมีแรงดันเท่ากับ V_{ref} ในขณะเดียวกัน ส่วนของวงจรสุ่มตัวอย่างและคงค่า ที่เอาต์พุตของออปแอมป์4 มีแรงดันเท่ากับ v_{in} ด้วย นั่นคือ แรงดัน V_{ref} และ v_{in} จากวงจรทั้งสองส่วนจะไปเปรียบเทียบกันที่ออปแอมป์5 ซึ่งเอาต์พุตจะได้เป็นบิตดิจิตอลขนาด 1 บิต ที่มีคาบเวลาเท่ากับคาบเวลาของสัญญาณนาฬิกาควบคุม ϕ_1, ϕ_2 โดยแยกพิจารณาได้เป็น 2 กรณี ดังนี้

กรณีที่ 1 ถ้าบิตดิจิตอลเป็น “1” จะทำให้แอนด์เกท G_1 เปิดทาง ให้ ϕ_c ทำงานโดยจะมีเฟสตรงกันกับ ϕ_2

กรณีที่ 2 ถ้าบิตดิจิตอลเป็น “0” แอนด์เกท G_2 จะเปิดทางให้ $\bar{\phi}_c$ ทำงานซึ่งจังหวะจะตรงกันกับ ϕ_2 เช่นเดียวกัน

การทำงานในช่วงคาบเวลาที่ 2 ขณะที่ ϕ_1 ทำงาน ลักษณะการทำงานจะเหมือนกันกับในช่วงเวลาคาบแรก กล่าวคือวงจรทั้งสองส่วนจะนำค่า V_{ref} และ v_{in} มาเก็บไว้ที่ C_1 และ C_4 ตามลำดับ ต่อจากนั้น ϕ_2 ก็จะทำงาน ในจังหวะนี้ถ้า ϕ_c ทำงาน วงจรสมมูลส่วนสร้างแรงดันอ้างอิงจะเป็น



รูปที่ 7 แสดงขณะที่ ϕ_c ทำงานประจุ q_{c_1} ไหลเข้าไปรวมกับประจุ q_{c_2}

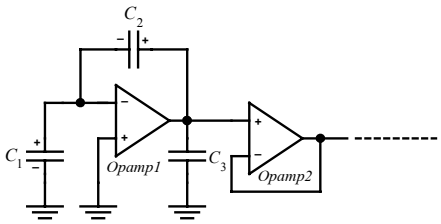
ประจุจาก C_1, $(q_{c_1} = C_1 V_{ref})$ จะไหลเข้าไปรวมกับประจุที่อยู่ใน C_2 ที่ค้างอยู่จากคาบเวลาแรก นั่นคือ

$$q_{total} = q_{c_2} + q_{c_1} \qquad (4)$$

จากสมการที่ (3) จะได้

$$q_{total} = C_1 V_{ref} + C_2 V_{ref}$$
$$= C_1(2V_{ref}) \qquad (C_1 = C_2) \quad (5)$$

ทำให้ได้แรงดันเอาต์พุตที่ออปแอมป์2เท่ากับ $2V_{ref}$ (แรงดันอ้างอิงเพิ่มค่า 1 สเต็บ) แต่ถ้า $\bar{\phi}_c$ ทำงาน วงจรส่วนสร้างแรงดันอ้างอิงจะเป็น



รูปที่ 8 แสดงขณะที่ $\bar{\phi}_c$ ทำงาน ประจุ q_{c_1} ไหลเข้าไปรวมกับประจุ q_{c_2}

ในกรณีนี้ที่ C_1 จะไม่เปลี่ยนกราวด์ประจุรวมที่ C_2 จึงเป็น

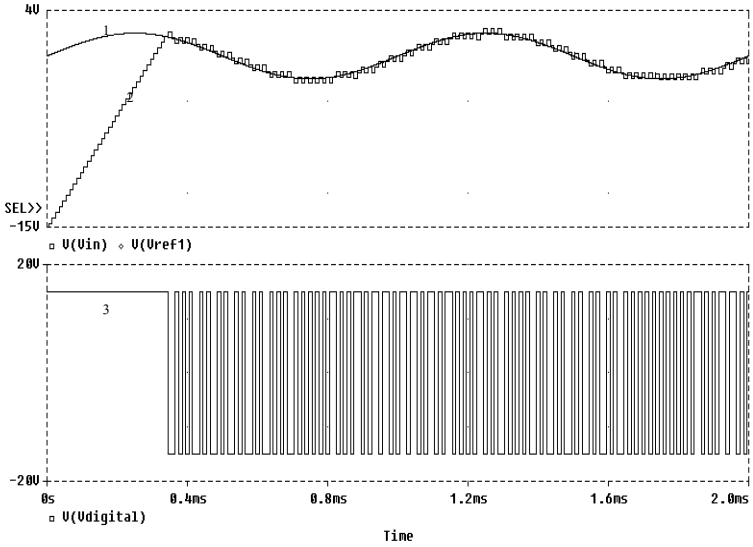
$$q_{total} = q_{c_2} - q_{c_1}$$
$$= C_2 V_{ref} - C_1 V_{ref} \qquad (6)$$
$$= 0 \qquad (C_1 = C_2)$$

จะเห็นได้ว่าระดับแรงดันอ้างอิงลดค่าลง 1 สเต็ป สำหรับการทำงานที่ช่วงคาบเวลาต่อๆ มา ลักษณะการทำงานก็จะซ้ำรอยเดิมเหมือนที่กล่าวมา

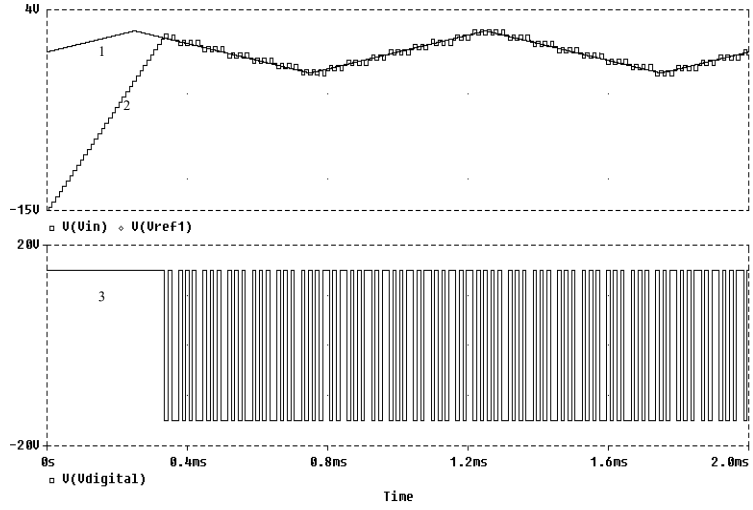
ผลการเลียนแบบวงจร

จากวงจรในรูปที่ 2 เราจำลองการทำงานด้วยโปรแกรมพีสไปซ์โดยใช้โมเดลออปแอมป์เป็น Ideal_opamp สวิตช์ใช้โมเดลของ Sbreak ค่าความจุของคาปาซิเตอร์ทุกตัวเท่ากับ 0.001 μF สัญญาณนาฬิกาควบคุมออกแบบไว้ที่ความถี่ 100 kHz และสัญญาณอนาลอกอินพุตมีความถี่ 1 kHz โดยมีแอมปลิจูดเป็น 2โวลต์ ซึ่งเป็นสัญญาณคลื่น-รูปไซน์ คลื่นรูปสามเหลี่ยม และคลื่นรูปสี่เหลี่ยม สัญญาณอ้างอิงเป็นไฟดีซี $V_{ref} = 0.5$ โวลต์ ซึ่งผลการเลียนแบบการทำงานของวงจรแสดงได้ดังรูป

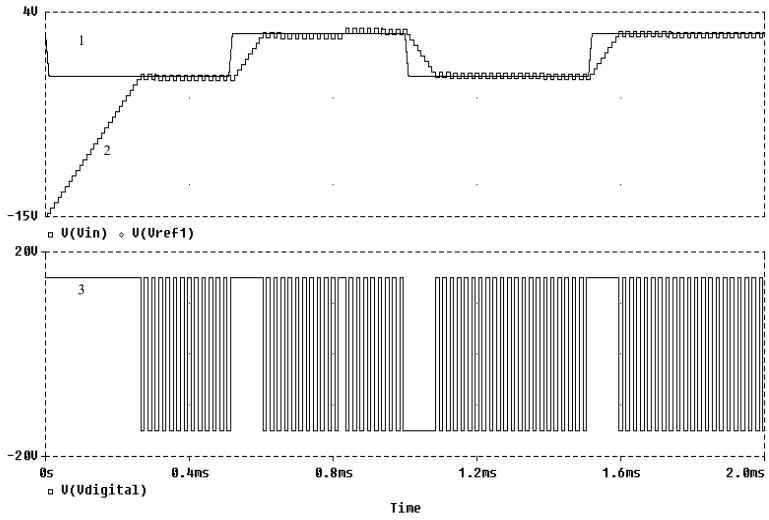
ที่ 9 รูปที่ 10 และรูปที่ 11 ตามลำดับโดยที่สัญญาณเส้นที่ 1 แสดงสัญญาณอนาลอกอินพุต สัญญาณเส้นที่ 2 แสดงสัญญาณอ้างอิงที่ได้ และสัญญาณเส้นที่ 3 แสดงบิตดิจิตอลเอาต์พุต



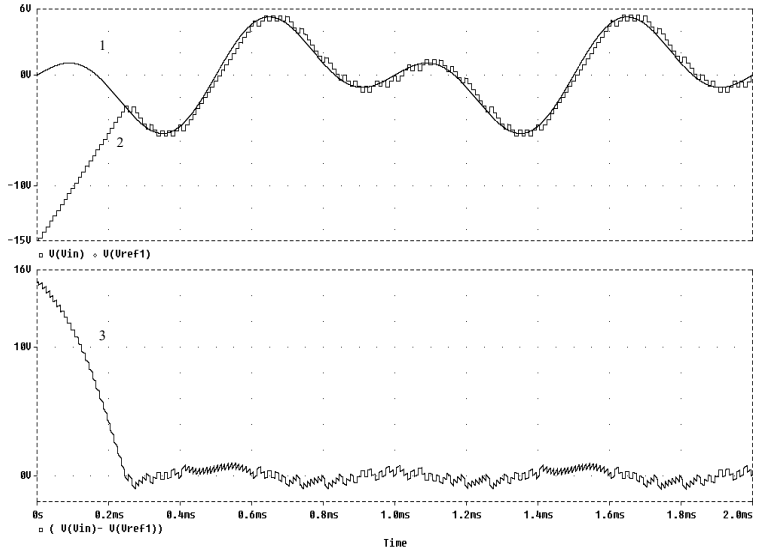
รูปที่ 9 แสดงผลการเลียนแบบการทำงานเมื่อสัญญาณอินพุต เป็นคลื่นรูปไซน์



รูปที่ 10 แสดงผลการเลียนแบบการทำงานเมื่อสัญญาณอินพุตเป็นคลื่นรูปสามเหลี่ยม



รูปที่ 11 แสดงผลการเลียนแบบการทำงานเมื่อสัญญาณอินพุตเป็นคลื่นรูปสี่เหลี่ยม

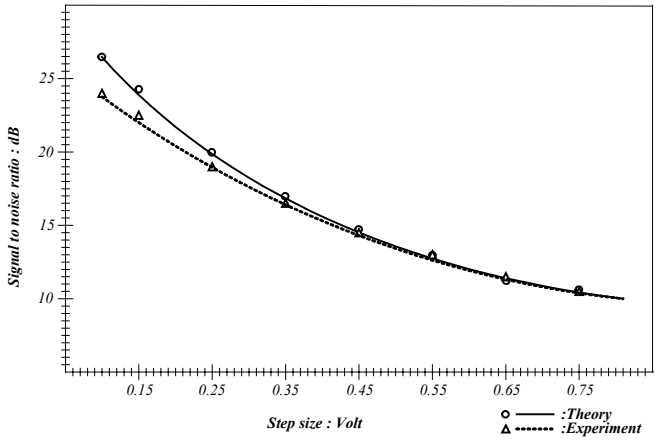


รูปที่ 12 เป็นรูปแสดงการติดตามของสัญญาณอินพุตกับเอาต์พุตและความผิดพลาดที่เกิดขึ้นโดยที่สัญญาณเส้นที่ 1 เป็นสัญญาณอินพุตที่เกิดจากองค์ประกอบของสัญญาณไซนูซอยดอลสองความถี่รวมกัน สัญญาณเส้นที่ 2 เป็นสัญญาณอ้างอิงที่ได้เพื่อใช้เปรียบเทียบ และสัญญาณเส้นที่ 3 เป็นค่าผิดพลาดของการควันไตซ์(quantization error)ระหว่างสัญญาณเส้นที่ 1 และเส้นที่ 2

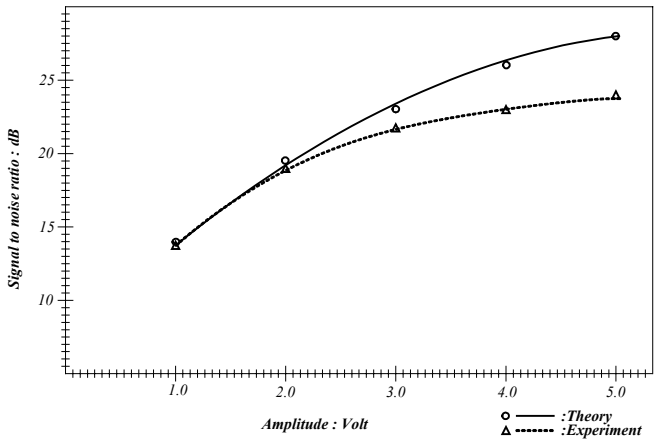
สำหรับการหาค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวนจากการควันไตซ์ (signal to quantization noise ratio)หาได้จาก

$$SNR = \frac{\left(A^2/2\right)}{\left(\delta^2/3\right)} = \frac{3A^2}{2\delta^2} \qquad (7)$$

เมื่อ A คือ แอมปลิจูดของสัญญาณไซนูซอยดอลอินพุต และ δ เป็นขนาดของขั้นลำดับที่ใช้ในการทำนายค่า(step size)



รูปที่ 13 แสดง *SNR* ที่ได้ เมื่อทำการปรับเปลี่ยนขนาดขั้นลำดับที่ใช้ในการทำนายค่ากับสัญญาณไซนูซอยดอลอินพุตที่มีแอมปลิจูด 2 โวลต์



รูปที่ 14 แสดง *SNR* เมื่อทำการปรับเปลี่ยนแอมปลิจูดสัญญาณไซนูซอยดอลอินพุต โดยมีขนาดของขั้นลำดับที่ใช้ในการทำนายค่า กำหนดไว้ที่ 0.25 โวลต์

สรุปผลการทดลอง

จากการทำงานของวงจรและผลการเลียนแบบ แสดงให้เห็นว่าวงจร SC DM ที่ได้นำเสนอนี้สามารถทำงานเป็น A/D ขนาดหนึ่งบิตได้เป็นอย่างดีในย่านความถี่เสียง โดยจากผลการเลียนแบบในรูปที่ 9,10,11 และ 12 แสดงให้เห็นถึงการติดตามสัญญาณอินพุตด้วยสัญญาณที่ทำนายได้มีความใกล้ชิดกัน ทั้งนี้ค่าความแม่นยำขึ้นอยู่กับขนาดของขั้นลำดับ (step size) ในการทำนาย อย่างไรก็ตามเนื่องจากในตอนเริ่มต้นของการทำงาน การเริ่มต้นทำนายค่าอินพุตอยู่ที่ไฟเลี้ยงด้านลบดังนั้นการติดตามสัญญาณในช่วงแรกจึงไม่ทัน เนื่องจากบทความนี้มุ่งเน้นที่จะเสนอโครงสร้างของวงจรที่เล็กและสามารถสร้างเป็นวงจรรวมได้ด้วยกระบวนการของ CMOS ในที่นี้จึงยังไม่มีการสร้างวงจรจริง ดังนั้นค่าความผิดพลาดและคุณสมบัติบางประการของ A/D จึงมิได้นำเสนอไว้ คงมีแต่เพียงผลของความผิดพลาดของการควันไตซ์จากการเลียนแบบการทำงานของวงจรแสดงไว้เท่านั้น

เอกสารอ้างอิง

Anne Watson Swager. 1991. “Oversampling data conversion,” *Technology Update*, September, 77-86.

Anthony Agnello. 1990 “16-Bit conversion paves the way to high-quality audio for PC’s” *Electronic Design*, 26 July, 61-66.

B. Leung. 1991. “The oversampling technique for analog to digital conversion: A tutorial overview,” *Analog Integrated Circ. Signal Process.*, 1, 65-74.

Brain P. Brandt. 1991. “A 50-MHz multibit sigma-delta modulator for 12-b 2-MHz A/D conversion,” *IEEE J. Solid State Circuits*, 26 (12), 1746-1756.

C. W. Barbour. 1971. “ Simplified PCM analog to digital converter using capacity charge transfer,” *Telemetering Conference*, pp. 4.1-4.11.

Frank Goodenough. 1991. “20-bit delta-sigma ADC’s vie for integrator jobs,” *Electronic Design*, 25 April, 93-96

H. Schmidt. 1970. *Analog-Digital Conversion*, Van Nostrand Reinhold, New York.

James L. McCreary, and Paul R. Gray. 1975. “All MOS charge redistribution analog-to-digital conversion techniques,” *IEEE J. Solid State Circuits*, Part I, SC-10, 371-379.

J. McCreary. 1975. “Successive approximation analog-to-digital conversion in MOS integrated circuits,” *Ph.D. dissertation*, University of California, Berkeley.

Michael de Wit, Khen - Sang Tan, and Richard K. Hester. 1993. "A low power 12 - b analog – to - digital converter with on-chip precision trimming," *IEEE J. Solid State Circuits*, 28, No. (4),455 - 461.

Max W. Hauser. 1991. "Principles of oversampling A/D conversion," *J. Audio Eng. Soc.*, 39 (1/2).